

## Method and semiconductor component having a device for determining an internal voltage

Patent Number: US2002125906

Publication date: 2002-09-12

Inventor(s): SCHNEIDER RALF (DE); SHAFFROTH THILO (DE)

Applicant(s):

Requested Patent: DE10110626

Application Number: US20020094890 20020306

Priority Number(s): DE20011010626 20010306

IPC Classification: G01R31/28

EC Classification: G01R21/10

Equivalents:

### Abstract

A method and a semiconductor component are described in which an internal voltage to be measured is divided via a matched voltage divider, and is passed to a selected connecting pin. Since there are normally no unused connecting pins, in, for example, present-day large scale integrated components, the connected module is disconnected from a selected connecting pin for a specific time period, and the divided measurement voltage is passed to the connecting pin. This is done by use of a controller, which operates appropriate switches. This method is preferably used for memory components such as DRAM, SRAM etc

Data supplied from the [esp@cenet](mailto:esp@cenet) database - I2

## Description

### BACKGROUND OF THE INVENTION

#### [0001] 1. Field of the Invention

[0002] The invention relates to a method and a semiconductor component, in particular an integrated circuit, in which, in addition to the operating voltage, there are one or more internal voltages.

[0003] One problem that frequently occurs in integrated (semiconductor) circuits which, owing to their complexity, are frequently accommodated in special housings with up to several hundred connecting pins, is that internal voltages which are generated by appropriate voltage sources cannot be measured at a connecting pin on the housing since, owing to the lack of line connections and the lack of free connecting pins, or as a result of standardization, they are not externally accessible.

[0004] On the other hand, during the production process, it is important to record the internal voltages when testing the components and for control of the production process, and then to assess the functions or the quality of that component. Problems such as these occur, for example, in computer chips or in memory components such as SRAM, DRAM, etc. By way of example, in the case of a DRAM module, the behavior of the module is governed by the magnitude of the boosted word line voltage. An excessively high or low voltage can result in it being impossible to either read or write the data and information. It is thus very important to check the voltage during the production process, to ensure that the component will carry out the desired functions during its subsequent use.

[0005] Until now, this problem has been circumvented by measuring the relevant internal voltages, using special measurement probes, just during the wafer-level test. However, appropriate measurement pads must be provided on the chip, for this measurement, to which the measurement probes can be applied. The method costs additional chip surface area, which is then no longer available for other functional modules.

[0006] It is also known for special housings (characterization housings) to be manufactured for measuring the internal voltages, which have appropriate connecting pins for the relevant internal voltages. The internal voltages are passed to the connecting pins, so that they can then be measured from the outside. This can, of course, only be carried out for a sample with a correspondingly small number of components, since the method is highly complex and costly. Furthermore, such components can no longer be sold, since they do not comply with the predetermined specifications.

### SUMMARY OF THE INVENTION

[0007] It is accordingly an object of the invention to provide a method and a semiconductor component having a device for determining an internal voltage that overcomes the above-mentioned disadvantages of the prior art methods and devices of this general type.

[0008] With the foregoing and other objects in view there is provided, in accordance with the invention, a method for detecting an internal voltage in an integrated circuit. The integrated circuit receives an operating voltage and generates



internal voltages, in which case the internal voltages cannot be measured directly via existing, isolated connecting pins of the integrated circuit. The method includes dividing the internal voltage using a voltage divider disposed within the integrated circuit resulting in a divided internal voltage. A controller disconnects a selected connecting pin for a predetermined time period by opening a switch from its previous connection to an internal circuit part resulting in a disconnected connecting pin. The divided internal voltage is applied to the disconnected connecting pin during the predetermined time period.

[0009] The invention is based on the object of temporarily changing the use of a connecting pin to allow the measurement of an internal voltage that is not directly accessible.

[0010] The method according to the invention has the advantage that internal voltages can be measured directly at one or more selected connecting pins on the housing. One particularly advantageous feature in this case is regarded as the fact that the voltages can be measured on all the components and that the components nevertheless still comply with their full electrical specification in accordance with the datasheet. It is also advantageous that the measurements can be repeated as often as desired, so that the internal voltages can, in particular, be checked during subsequent use, using suitable measurement methods. A further advantage is also the fact that the number of internal voltages to be measured is in practice unlimited, so that the method provides considerably better criteria for assessing the component quality. The additional technical complexity is, in contrast, negligibly small.

[0011] It is regarded as being particularly advantageous in this case that the voltage that is measured at the connecting pin, by a measuring device, can be multiplied by the division ratio of the associated voltage divider, thus producing the actual value of the internal voltage. There is then no need for any further conversion calculations.

[0012] It is also particularly advantageous for the division ratio of the voltage divider to be configured such that the measurement range that is produced does not cause any reaction with the rest of the circuit. This ensures that the component cannot be damaged by the measurement process.

[0013] If it is intended to measure a number of internal voltages, in particular, at different levels, and the voltage divider can be adapted as appropriate. This also advantageously results in that the measurement of the internal voltage cannot have any adverse effect on the component.

[0014] Particularly when a number of internal voltages are intended to be measured, the advantageous solution is to measure the voltages using a known multiplexing method. Therefore, the same connecting pin can always be used, for example, for the different measurements. This also considerably simplifies the interconnect routings within the semiconductor component.

[0015] Since individual chip surface areas are freely available for the formation of voltage dividers even in large scale integrated semiconductor components, it is possible to use chip surface areas such as these advantageously. In consequence, there is scarcely any influence on the existing layout.

[0016] For the semiconductor component, it may be important for the circuit part (module, receiver) that is disconnected during the measurement phase to retain its function at that time. Any change to the function could, for example, lead to a change in the internal voltage, and could thus cause an undesirable measurement error.

[0017] It is also advantageous for the semiconductor component that the voltage divider is used to divide the internal voltage to a safe level, which is applied to the connecting pin by appropriately configured switches. Any internal voltage can thus be applied to the connecting pin by switching the switches. Only a simple control action is required to do this, so that the switches can be controlled from the outside via control commands that are sent via an appropriate control bus.

[0018] With the foregoing and other objects in view there is provided, in accordance with the invention, an integrated circuit. The integrated circuit contains a housing, connecting pins disposed in the housing and isolated from one another, at least one circuit part having connections connected to the connecting pins, and at least one internal voltage source generating an internal voltage. At least one voltage divider is coupled to the internal voltage source and by which the internal voltage can be divided resulting in a divided internal voltage. Switches are provided for routing the divided internal voltage to a selected connecting pin of the connecting pins. The switches are connected between the voltage divider and at least one of the connecting pins.

[0019] Particularly in the case of a memory component such as DRAM or SRAM, this advantageously makes it possible to test internal voltages such as the word line voltage.

[0020] Transistor switches are fast switches that are relatively simple to produce, particularly when they are in the form of NMOS or PMOS switches (N-conductive or P-conductive metal oxide semiconductors). These types can easily be integrated, for example, in a dynamic random access memory (DRAM).

[0021] The connecting pins DQM, CKE or CS appear to be particularly suitable for the measurement of internal voltages, since the modules that are disconnected here can easily have their functions frozen.

[0022] Other features which are considered as characteristic for the invention are set forth in the appended claims.

[0023] Although the invention is illustrated and described herein as embodied in a method and a semiconductor component having a device for determining an internal voltage, it is nevertheless not intended to be limited to the details shown, since various modifications and structural changes may be made therein without departing from the spirit of the invention and within the scope and range of equivalents of the claims.

[0024] The construction and method of operation of the invention, however, together with additional objects and advantages thereof will be best understood from the following description of specific embodiments when read in connection with the accompanying drawings.

#### BRIEF DESCRIPTION OF THE DRAWINGS

[0025] FIG. 1 is a block diagram of a measurement configuration for measuring an internal voltage according to the invention; and



[0026] FIG. 2 is an equivalent circuit for performing the voltage measurement.

#### DESCRIPTION OF THE PREFERRED EMBODIMENTS

[0027] Referring now to the figures of the drawing in detail and first, particularly, to FIG. 1 thereof, there is shown, schematically, a semiconductor component 14 which is to be measured and may be a commercially available large scale integrated circuit, for example a microcomputer module, a memory module such as a DRAM or a SRAM, etc. To give it robustness and make it easier to handle, the semiconductor component 14 is fitted in a housing 20. Depending on the configuration of the semiconductor component 14, there may be a very large number of lines from modules 2 (FIG. 2), which are integrated on the semiconductor chip, to the connecting pins 9, 10 that are provided and are isolated per se on the housing. By way of example, in the case of a memory module, the connecting pins are required to transmit not only the operating voltage but also addresses, control commands and the data to be stored to the semiconductor chip, or else to read data, addresses, the status, etc. A number of lines are in this case combined to form a bus system, for example in the form of an address bus, data bus, control bus, etc.

[0028] In FIG. 1, the semiconductor component 14 is connected to a controller 1 via a control bus 3. The object of the controller 1 is not only to send control commands to control the functions of the semiconductor component 14, but also to check that the operations have been carried out. With regard to one or more internal voltages to be measured, the controller 1 carries out the function of routing the internal voltage  $V_i$  to be measured to a selected connecting pin 9, 10 by controllable switches 4 to 8 and voltage dividers  $R_i, R_0$  that are integrated in the semiconductor component 14. The details of the configuration will be described in more detail later with reference to FIG. 2.

[0029] In addition, the controller 1 also controls a measurement device 11 in order to synchronize the measurement process. The measurement device 11 is controlled via the control line 13.

[0030] The measurement device 11 is connected via measurement lines 12 to the connecting pins 9, 10 of the semiconductor component 14. The illustrated configuration should be regarded as being only schematic. In the exemplary embodiment, the connecting pin 9 is assumed to be the pin to which the divided, internal voltage  $V_m$  is passed. The connecting pin 10 represents the reference ground potential, that is to say the ground point. It is thus sufficient to divide an internal voltage  $V_i$  down using the internal voltage divider  $R_i, R_0$  (FIG. 2) and to apply this to the connecting pin 9. In the case of a DRAM memory component, the connecting pin 9 may correspond, for example, to the DQM, CKE or CS pin, via which the DQM signal, the CKE signal or the CS signal is passed.

[0031] An alternative embodiment of the invention also provides for a number of connecting pins 9 to be used, so that a number of voltages can then be measured simultaneously.

[0032] If, on the other hand, a number of internal voltages are intended to be measured via only one connecting pin 9, then they can advantageously be detected using known multiplexing methods.

[0033] Since only the divided internal voltage  $V_m$  can be measured at the connecting pin 9, the result that is indicated on the measurement device 11 must be multiplied by the division ratio of the associated voltage divider  $R_i, R_0$  in order to obtain the true voltage value. The multiplication can be carried out automatically, since the information relating to the voltage divider  $R_i, R_0$  which is used is known, for example by the controller 1.

[0034] FIG. 2 shows a schematic equivalent circuit for measuring one or more internal voltages  $V_i$ . The internal voltages are formed on the semiconductor chip itself by suitable voltage sources, and are required to supply or control individual functions. They may be greater than or less than the supply voltage that is supplied from the outside.

Negative internal voltages can also be used for certain applications.

[0035] By way of example, FIG. 2 shows three internal voltages  $V_1, V_2$  and, in general form,  $V_n$ . The internal voltages  $V_i$  are connected to voltage dividers  $R_i, R_0$ , which are provided for this purpose, at a suitable point on the semiconductor chip.

[0036] By way of example, the internal voltage  $V_i = V_1$  is connected to the voltage divider which is formed from the series circuit  $R_i = R_1, R_0$ .

[0037] It can also be seen from FIG. 2 that the resistor  $R_1$  is active only when a switch 4 is closed. When the switch 8 is also closed, the divided internal voltage

[arge]  $V_{m1} = (R_0 / (R_0 + R_1)) * V_1$

[0038] is applied to the two connecting pins 9, 10 in accordance with the generally applicable formula

[038"]  $V_i / V_m = (R_0 + R_1) / R_0$

[0039] and can be measured by the measurement device 11. In this case, the division ratio is:

[039"]  $R_0 / (R_0 + R_1)$ .

[0040] This factor is always less than 1, so that the divided voltage  $V_{m1}$  is always less than the internal voltage  $V_1$ . Subject to the condition that the divided voltage is not intended to carry out any function in the rest of the semiconductor circuit, the division ratio can be chosen as appropriate. However, an excessively low internal resistance  $R_0$  is generally also not advisable, in order to avoid excessively loading the internal voltage during the measurement. The division ratio should thus be chosen such that no changes to the behavior of the component 14 occur.

[0041] The voltage divider  $R_2, R_0$  is used in a corresponding manner for the internal voltage  $V_2$ , so that this results in the second divided voltage

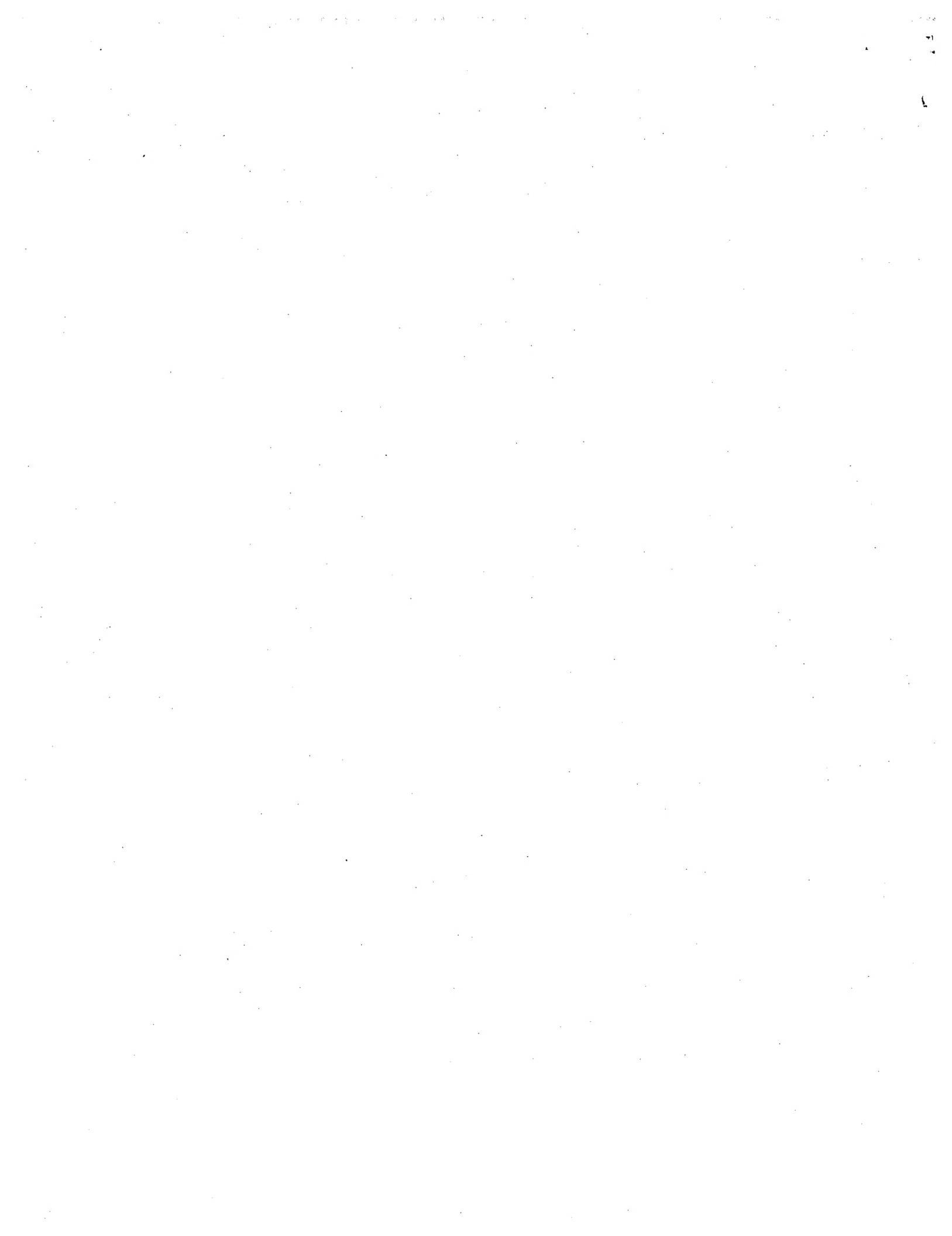
[041"]  $V_{m2} = (R_0 / (R_0 + R_2)) * V_2$

[0042] for the second internal voltage  $V_2$  at the connecting pins 9, 10.

[0043] By analogy, the  $n$ th divided voltage for further internal voltages  $V_n$  and the associated voltage divider  $R_n, R_0$  is given by

[043"]  $V_n = (R_0 / (R_0 + R_n)) * V_n$ .

[0044] Since the voltage divider  $R_i, R_0$  allows the voltages to be measured to be divided down to virtually any desired values, it is possible to set a range so that multiplexing of the divided-down voltages can be carried out using



exclusively only one transistor type, preferably an NMOS or a PMOS type, at the connecting pin 9. The restriction to one transistor type allows a simplified logic configuration and additional protection of the internal circuits (modules), in particular against external influences. Thus, interference voltages (ESD), undervoltages or overvoltages, for example, can occur at the connecting pin 9, which could damage the internal circuits.

[0045] As can also be seen from FIG. 2, the module 2 is normally connected to the connecting pin 9. For the time period of the measurement, the connection between the module 2 and the connecting pin 9 is disconnected by the switch 7, and the module 2 is thus disconnected. The controller 1 additionally drives the module 2 in order to ensure that the module 2 does not revert to an undesirable switching state.

[0046] The controller 1, which is already known from FIG. 1, now uses the control bus 3 to control the individual switches 4 to 8 using the multiplexing method. When no measurement is being carried out, the switch 7 is closed and the other switches are opened. The measurement cycle is activated by applying a specific command word via the control bus 3. The controller 1 now connects one, and only one, voltage divider  $R_i, R_0$ , for example the voltage divider  $R_1, R_0$ , via the switches 4 and 8 to the connecting pin 9, with the switch 7 having previously been opened.

[0047] The switches 5 and 8 or 6 and 8, respectively, are closed for the second and nth internal voltages  $V_2$  and  $V_n$ . All the other switches are opened.

[0048] An alternative embodiment of the invention provides for the controller 1 itself to be integrated in the form of test logic on the semiconductor chip. The control logic is integrated on the semiconductor chip in any case in present-day complex integrated circuits, particularly in the case of memory components. The control logic also controls the switches 4 to 8. This has the advantage that only the command word need be entered on the control bus 3, and is then read and implemented by the test logic.

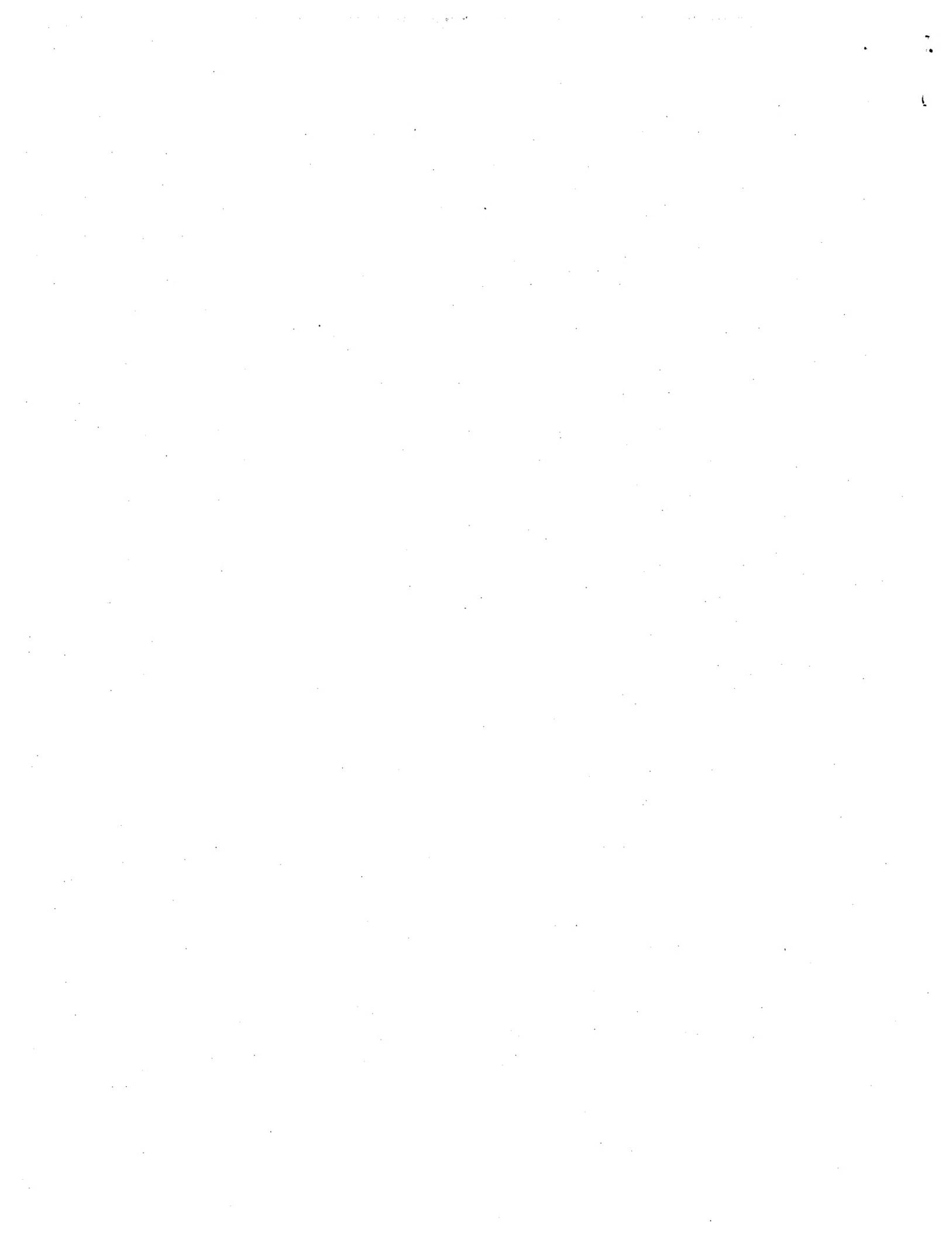
[0049] Any voltage may be detected as an internal voltage. In the case of a DRAM memory module, a boosted word line voltage is preferably detected via one connecting pin, using the described configuration.

Data supplied from the esp@cenet database - I2

## Claims

We claim:

1. A method for detecting an internal voltage in an integrated circuit, the integrated circuit receiving an operating voltage and generating internal voltages, in which case the internal voltages cannot be measured directly via existing, isolated connecting pins of the integrated circuit, which comprises the steps of:  
dividing the internal voltage using a voltage divider disposed within the integrated circuit resulting in a divided internal voltage;  
using a controller for disconnecting a selected connecting pin for a predetermined time period by opening a switch from its previous connection to an internal circuit part resulting in a disconnected connecting pin; and  
applying the divided internal voltage to the disconnected connecting pin during the predetermined time period.
2. The method according to claim 1, which comprises using a measuring device for measuring the divided internal voltage applied to the disconnected connecting pin resulting in a measured value; and  
multiplying the measured value by a division ratio of the voltage divider.
3. The method according to claim 2, which comprises configuring the division ratio of the voltage divider such that a measurement range that is produced does not cause any reaction with a remainder of the integrated circuit.
4. The method according to claim 1, which comprises using an adaptable voltage divider as the voltage divider for different internal voltages.
5. The method according to claim 1, which comprises applying a plurality of individual internal voltages to be measured to the disconnected connecting pin using a multiplexing method.
6. The method according to claim 1, which comprises using a freely available area on the semiconductor chip to form the voltage divider.
7. The method according to claim 1, which comprises using the controller to disconnect the internal circuit part from the selected connecting pin and one of holds the internal circuit part in a state that it was in before the selected connecting pin is disconnected, and switches the internal circuit part to an operating mode desired for a measurement.
8. An integrated circuit, comprising:  
a housing;  
connecting pins disposed in said housing and isolated from one another;  
at least one circuit part having connections connected to said connecting pins;  
at least one internal voltage source generating an internal voltage;  
at least one voltage divider coupled to said internal voltage source and by which the internal voltage can be divided resulting in a divided internal voltage; and  
switches by which the divided internal voltage can be applied to a selected connecting pin of said connecting pins, said switches connected between said voltage divider and at least one of said connecting pins.



9. The semiconductor component according to claim 8, wherein the integrated circuit is a memory component.
10. The semiconductor component according to claim 8, wherein said switches are transistor switches.
11. The semiconductor component according to claim 10, wherein said transistor switches are selected from the group consisting of NMOS switches and PMOS switches.
12. The semiconductor component according to claim 8, wherein the semiconductor component is a synchronous random access memory having a DQM pin, a CKE pin and a CS pin, and said selected connecting pin is one of said DQM pin, said CKE pin, and said CS pin.
13. The semiconductor component according to claim 9, wherein said memory component is selected from the group consisting of dynamic random access memories and synchronous random access memories.

---

Data supplied from the [esp@cenet](mailto:esp@cenet) database - I2





⑯ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑯ Offenlegungsschrift  
DE 101 10 626 A 1

⑯ Int. Cl. 7:

G 01 R 31/28

G 01 R 15/04

G 11 C 29/00

G 01 R 31/26

G 01 R 19/165

⑯ Aktenzeichen: 101 10 626.2  
⑯ Anmeldestag: 6. 3. 2001  
⑯ Offenlegungstag: 2. 10. 2002

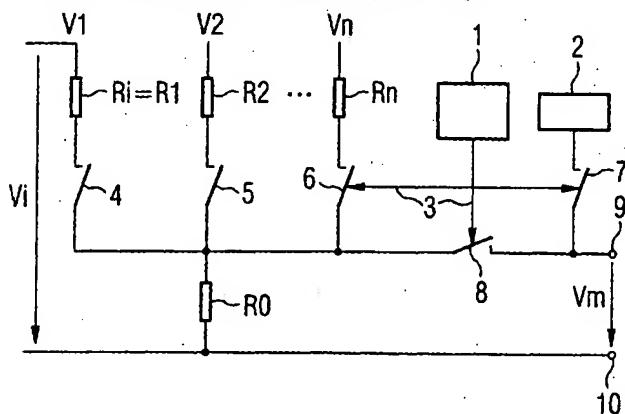
⑯ Anmelder:  
Infineon Technologies AG, 81669 München, DE  
⑯ Vertreter:  
Wilhelm & Beck, 80636 München

⑯ Erfinder:  
Schaffroth, Thilo, 85244 Röhrmoos, DE; Schneider, Ralf, 81925 München, DE  
⑯ Entgegenhaltungen:  
US 61 17 696 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen  
Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Verfahren und Halbleiterbauteil mit einer Einrichtung zur Bestimmung einer internen Spannung

⑯ Erfindungsgemäß wird ein Verfahren bzw. ein Halbleiterbauteil nach den nebengeordneten Ansprüchen 1 und 8 vorgeschlagen, bei dem eine zu messende interne Spannung ( $V_m$ ) über einen angepassten Spannungsteiler ( $R_i, R_0$ ) geteilt und auf einen ausgewählten Anschlusspin (9, 10) geführt wird. Da beispielsweise in heutigen hochintegrierten Bauteilen üblicherweise keine unbelegten Anschlusspins vorhanden sind, wird von einem ausgewählten Anschlusspin (9, 10) für eine bestimmte Zeitspanne das angeschlossene Modul (2) abgehängt und die geteilte Messspannung ( $V_m$ ) auf diesen Anschlusspin (9, 10) geführt. Dies erfolgt mit einer Steuerung (1), die entsprechende Schalter (4 bis 8) betätigt. Vorzugsweise wird dieses Verfahren bei Speicherbauteilen wie DRAM, SRAM usw. angewendet.



DE 101 10 626 A 1

DE 101 10 626 A 1

## Beschreibung

[0001] Die Erfindung geht aus von einem Verfahren beziehungsweise von einem Halbleiterbauteil, insbesondere einer integrierten Schaltung, bei der neben der Betriebsspannung eine oder mehrere interne Spannungen vorhanden sind, nach der Gattung der nebengeordneten Ansprüche 1 und 8. In integrierten (Halbleiter-)Schaltungen, die wegen ihrer Komplexität häufig in Sondergehäusen mit bis zu mehreren Hundert Anschlusspins untergebracht sind, tritt häufig das Problem auf, dass interne Spannungen, die von entsprechenden Spannungssquellen generiert werden, nicht an einem Anschlusspin des Gehäuses gemessen werden können, da sie wegen fehlender Leitungsverbindungen und fehlenden freien Anschlusspins bzw. wegen gegebener Standardisierung von außen nicht zugänglich sind.

[0002] Andererseits ist es während des Herstellprozesses bei der Prüfung der Bauteile und zur Steuerung des Herstellprozesses wichtig, diese internen Spannungen zu erfassen und danach die Funktionen oder die Qualität des Bauteils zu beurteilen. Solche Probleme treten beispielsweise bei Rechnerchips oder bei Speicherbauteilen wie SRAM, DRAM usw. auf. Beispielsweise bestimmt bei einem DRAM-Baustein die Höhe der geboostete Wortleitungsspannung das Verhalten des Bausteins. Eine zu hohe oder zu niedrige Spannung kann bewirken, dass die Daten und Informationen weder gelesen noch gespeichert werden können. Es ist daher sehr wichtig, diese Spannung während des Herstellprozesses zu kontrollieren, damit das Bauteil bei seinem späteren Einsatz die gewünschten Funktionen erfüllt.

[0003] Bisher wurde dieses Problem dadurch umgangen, dass die relevanten internen Spannungen nur bei der Waferprüfung mit speziellen Messsonden gemessen wurden. Allerdings müssen für diese Messung auf dem Chip entsprechende Messpads vorgesehen werden, auf die die Messsonden aufgesetzt werden können. Dieses Verfahren kostet zusätzliche Chipfläche, die für andere Funktionsmodule dann nicht mehr bereitsteht.

[0004] Auch ist bekannt, dass zur Messung der internen Spannungen spezielle Gehäuse (Charakterisierungsgehäuse) angefertigt werden, die entsprechende Anschlusspins für die relevanten internen Spannungen aufweisen. Auf diese Anschlusspins werden die internen Spannungen geführt, so dass sie dann von außen gemessen werden können. Natürlich kann dieses nur für eine Stichprobe mit entsprechend niedriger Bauteilezahl durchgeführt werden, da dieses Verfahren sehr aufwendig ist. Des Weiteren sind solche Bauteile nicht mehr verkäuflich, da sie nicht die vorgegebenen Spezifikationen erfüllen.

[0005] Der Erfindung liegt die Aufgabe zu Grunde, durch eine zeitweilig geänderte Belegung eines Anschlusspins die Messung einer nicht direkt zugänglichen, internen Spannung zu ermöglichen. Diese Aufgabe wird mit den Merkmalen der nebengeordneten Ansprüche 1 und 8 gelöst.

[0006] Das erfindungsgemäße Verfahren zur Erfassung einer internen Spannung beziehungsweise das Halbleiterbauteil mit den kennzeichnenden Merkmalen der nebengeordneten Ansprüche 1 und 8 hat demgegenüber den Vorteil, dass die internen Spannungen direkt an einem oder mehreren ausgewählten Anschlusspins des Gehäuses gemessen werden können. Als besonders vorteilhaft wird dabei angesehen, dass diese Spannungen an allen Bauteilen gemessen werden können und diese Bauteile dennoch ihre volle elektrische Spezifikation nach dem Datenblatt erfüllen. Auch ist vorteilhaft, dass diese Messungen beliebig oft wiederholt werden können, so dass die internen Spannungen insbesondere im späteren Einsatz mit geeigneten Messmitteln überprüft werden können. Ein weiterer Vorteil besteht auch

darin, dass die Anzahl der zu messenden internen Spannungen praktisch nicht begrenzt ist, so dass mit diesem Verfahren erheblich bessere Kriterien zur Beurteilung der Bauteilequalität zur Verfügung stehen. Der zusätzliche technische

5 Mehraufwand ist dagegen vernachlässigbar gering.

[0007] Durch die in den abhängigen Ansprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen des in den nebengeordneten Ansprüchen 1 und 8 angegebenen Verfahrens beziehungsweise des Halbleiterbauteils möglich. Als besonders vorteilhaft wird dabei angesehen, die an dem Anschlusspin gemessene Spannung mit dem Teilverhältnis des zugeordneten Spannungsteilers zu multiplizieren, so dass man dann den tatsächlichen Wert für die interne Spannung erhält. Weitere Umrechnungen sind dann nicht mehr erforderlich.

[0008] Besonders günstig ist auch, das Teilverhältnis des Spannungsteilers so auszubilden, dass der entstehende Messbereich keinen Einfluss auf die Funktion der verbliebenen Restschaltung verursacht. Dadurch ist sichergestellt, 10 dass das Bauteil durch die Messung nicht beschädigt werden kann.

[0009] Sollen mehrere interne Spannungen gemessen werden, insbesondere mit unterschiedlichem Niveau, dann können die Spannungsteiler entsprechend angepasst werden. Auch dadurch wird vorteilhaft erreicht, dass die Messung der internen Spannung auf das Bauteil keinen ungünstigen Einfluss haben kann.

[0010] Insbesondere wenn mehrere interne Spannungen gemessen werden sollen, ergibt sich die vorteilhafte Lösung, 15 diese Spannungen nach einem bekannten Multiplexverfahren zu messen. Dadurch wird erreicht, dass für die unterschiedlichen Messungen beispielsweise immer der gleiche Anschlusspin verwendet werden kann. Das vereinfacht in erheblichem Maße auch die Leiterbahnführungen innerhalb 20 des Halbleiterbauteils.

[0011] Da selbst noch in hochintegrierten Halbleiterbauteilen einzelne Chipflächen für die Ausbildung von Spannungsteilern frei verfügbar sind, können diese vorteilhaft genutzt werden. Dadurch wird das bestehende Layout kaum 25 beeinflusst.

[0012] Für das Halbleiterbauteil kann es von Bedeutung sein, dass der während der Messphase abhängige Schaltungsteil (Modul, Receiver) seine augenblickliche Funktion beibehält. Eine Änderung der Funktion könnte beispielsweise eine Änderung der internen Spannung herbeiführen 30 und somit eine unerwünschte Fehlmessung verursachen.

[0013] Für das Halbleiterbauteil ist weiterhin vorteilhaft, dass mit Hilfe des Spannungsteilers die interne Spannung auf einen ungefährlichen Wert geteilt und mittels entsprechend ausgebildeter Schalter auf den Anschlusspin geschaltet wird. Durch Umschalten der Schalter kann somit jede interne Spannung auf den Anschlusspin gelegt werden. Dazu ist lediglich eine einfache Steuerung notwendig, so dass von 35 außen über Steuerbefehle, die über einen entsprechenden Steuerbus geschickt werden, die Schalter steuerbar sind.

[0014] Insbesondere bei einem Speicherbauteil wie DRAM oder SRAM lassen sich auf diese Weise vorteilhaft interne Spannungen wie die Wortleitungsspannung überprüfen.

[0015] Schnelle und relativ einfach zu realisierende Schalter sind Transistorschalter, insbesondere wenn sie als NMOS- oder PMOS-Schalter (N-leitende oder P-leitende Metall Oxyde Semiconductor) ausgeführt sind. Diese Typen lassen sich beispielsweise in einem DRAM (Dynamic Random Access Memory) einfach integrieren.

[0016] Besonders geeignet für die Messung interner Spannungen scheinen die Anschlusspins DQM, CKE oder CS zu sein, da die hier abhängten Module leicht in ihrer Funk-

tion eingefroren werden können.

[0017] Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

[0018] Fig. 1 zeigt ein Blockschaltbild einer Messanordnung zur Messung einer inneren Spannung und

[0019] Fig. 2 zeigt ein Ersatzschaltbild für die Spannungsmessung.

[0020] Bei dem Blockschaltbild der Fig. 1 ist schematisch ein zu messendes Halbleiterbauteil 14 dargestellt, das eine handelsübliche hochintegrierte Schaltung, beispielsweise ein Microcomputer, ein Speichermodul wie ein DRAM oder ein SRAM usw. sein kann. Dieses Halbleiterbauteil 14 ist aus Gründen der Stabilität und der besseren Handhabung in einem Gehäuse eingebaut. Je nach der Ausführungsform des Halbleiterbauteils 14 können sehr viele Leitungen von Modulen 2 (Fig. 2), die auf dem Halbleiterchip integriert sind, zu den vorhandenen und per se isolierten Anschlusspins 9, 10 des Gehäuses geführt sein. Beispielsweise werden bei einem Speicherbaustein die Anschlusspins benötigt, um neben der Betriebsspannung auch Adressen, Steuerbefehle sowie die zu speichernden Daten auf den Halbleiterchip zu übertragen oder auch, um Daten, Adressen, den Status usw. auszulesen. Mehrere Leitungen sind dabei zu einem Bussystem zusammengefasst, beispielsweise als Adressbus, Datenbus, Steuerbus usw.

[0021] Gemäß der Fig. 1 ist das Halbleiterbauteil 14 über einen Steuerbus 3 mit einer Steuerung 1 verbunden. Die Steuerung 1 hat die Aufgabe, sowohl Steuerbefehle zur Steuerung der Funktionen des Halbleiterbauteils 14 zu senden als auch die durchgeführten Operationen zu kontrollieren. Bezüglich einer oder mehrerer zu messenden internen Spannungen übernimmt die Steuerung 1 die Funktion, mit Hilfe von in dem Halbleiterbauteil 14 integrierten Spannungsteiler  $R_i$ ,  $R_o$  und steuerbarer Schalter 4 bis 8 die zu messende interne Spannung  $V_i$  auf einen ausgewählten Anschlusspin 9, 10 zu legen. Auf die genaue Anordnung wird noch später zu Fig. 2 näher eingegangen.

[0022] Zusätzlich steuert die Steuerung 1 noch eine Messeinrichtung 11, um den Messablauf zu synchronisieren. Die Steuerung der Messeinrichtung 11 erfolgt über die Steuerleitung 13.

[0023] Die Messeinrichtung 11 ist über Messleitungen 12 mit den Anschlusspins 9, 10 des Halbleiterbauteil 14 verbunden. Die dargestellte Anordnung ist nur schematisch zu sehen. In dem Ausführungsbeispiel soll der Anschlusspin 9 der Pin sein, auf den die geteilte, interne Spannung  $V_m$  geführt ist. Der Anschlusspin 10 stellt dagegen das Bezugspotential, also den Massepunkt dar. Es genügt daher, die interne Spannung  $V_i$  über den internen Spannungsteiler  $R_i$ ,  $R_o$  (Fig. 2) herabzuteilen und auf den Anschlusspin 9 zu legen. Bei einem DRAM-Speicherbauteil kann der Anschlusspin 9 beispielsweise dem DQM-, CKE- oder dem CS-Pin entsprechen, über den das DQM-Signal, das CKE-Signal oder das CS-Signal geführt wird.

[0024] In alternativer Ausgestaltung der Erfindung ist vorgesehen, dass auch mehrere Anschlusspins 9 benutzt werden, so dass dann mehrere Spannungen simultan gemessen werden können.

[0025] Sollen dagegen mehrere interne Spannungen nur über einen Anschlusspin 9 gemessen werden, dann können diese vorteilhaft mit bekannten Multiplexverfahren erfasst werden.

[0026] Da an dem Anschlusspin 9 lediglich die geteilte interne Spannung  $V_m$  gemessen werden kann, ist das auf der Messeinrichtung 11 angezeigte Ergebnis mit dem Teilverhältnis des zugeordneten Spannungsteilers  $R_i$ ,  $R_o$  zu multiplizieren, um den wahren Spannungswert zu erhalten. Diese

Multiplikation kann automatisch erfolgen, da die Information über den benutzten Spannungsteiler  $R_i$ ,  $R_o$  beispielsweise der Steuerung 1 bekannt ist.

[0027] Fig. 2 zeigt ein schematisches Ersatzschaltbild für die Messung einer oder mehrerer interner Spannungen  $V_i$ . Die internen Spannungen werden auf dem Halbleiterchip selbst mit geeigneten Spannungsquellen gebildet und werden zur Versorgung oder Steuerung einzelner Funktionen benötigt. Sie können größer oder kleiner als die Versorgungsspannung sein, die von außen zugeführt wird. Für bestimmte Anwendungen sind auch negative interne Spannungen verwendbar.

[0028] In Fig. 2 sind beispielhaft drei interne Spannungen  $V_1$ ,  $V_2$  und in allgemeiner Form  $V_n$  dargestellt. Diese internen Spannungen  $V_i$  werden an einer geeigneten Stelle des Halbleiterchips mit dafür bereitgestellten Spannungsteilern  $R_i$ ,  $R_o$  verbunden. Beispielsweise wird die interne Spannung  $V_i = V_1$  mit dem Spannungsteiler verbunden, der aus der Reihenschaltung  $R_1 = R_1$ ,  $R_0$  gebildet ist.

[0029] Fig. 2 ist weiter zu entnehmen, dass der Widerstand  $R_1$  nur dann aktiv wirkt, wenn ein Schalter 4 geschlossen ist. Wenn auch ein Schalter 8 geschlossen ist, liegt an den beiden Anschlusspins 9, 10 nach der allgemein gültigen Formel

$$V_i/V_m = (R_0 + R_i)/R_0$$

für die interne Spannung  $V_1$  die geteilte interne Spannung

$$V_m = (R_0/(R_0 + R_1)) \cdot V_1$$

an, die von der Messeinrichtung 11 gemessen werden kann. Als Teilverhältnis gilt dabei

$$R_0/(R_0 + R_1).$$

[0030] Dieser Faktor ist immer kleiner als 1, so dass die geteilte Spannung  $V_m$  immer kleiner ist als die interne Spannung  $V_1$ . Unter der Bedingung, dass die geteilte Spannung keine Funktion auf die restliche Halbleiterschaltung ausüben soll, kann das Teilverhältnis entsprechend gewählt werden. Ein zu niedriger Innenwiderstand  $R_0$  ist jedoch im Allgemeinen auch nicht ratsam, um die interne Spannung bei der Messung nicht zu sehr zu belasten. Das Teilverhältnis sollte also so gewählt werden, dass keine Verhaltensänderungen des Bauteils 14 eintreten.

[0031] Für die Interne Spannung  $V_2$  gilt entsprechend der Spannungsteiler  $R_2$ ,  $R_0$ , so dass sich für die zweite interne Spannung  $V_2$  an den Anschlusspins 9, 10 die zweite geteilte Spannung

$$V_m = (R_0/(R_0 + R_2)) \cdot V_2$$

ergibt.

[0032] Bei weiteren internen Spannungen  $V_n$  und dem zugeordneten Spannungsteiler  $R_n$ ,  $R_0$  ergibt sich sinngemäß für die  $n$ -te geteilte Spannung

$$V_n = (R_0/(R_0 + R_n)) \cdot V_n.$$

[0033] Da durch die Spannungsteiler  $R_1$ ,  $R_0$  die zu messenden Spannungen auf nahezu beliebige Werte heruntergeteilt werden können, kann ein Bereich eingestellt werden, so dass ein Multiplexen der heruntergeteilten Spannungen mit ausschließlicher Verwendung von nur einem Transistor Typ, vorzugsweise einem NMOS- oder einem PMOS-Typ an dem Anschlusspin 9 möglich ist. Die Einschränkung auf einen Transistor Typ ermöglicht einen vereinfachten Logikau-

bau und einen zusätzlichen Schutz der internen Schaltungen (Module) insbesondere gegen äußere Einwirkungen. So können beispielsweise an dem Anschlusspin 9 Störspannungen (ESD), Unter- oder Überspannungen auftreten, durch die die internen Schaltungen geschädigt werden könnten.

[0034] Wie Fig. 2 weiter entnehmbar ist, ist im "Normalfall" das Modul 2 mit dem Anschlusspin 9 verbunden. Für die Zeitspanne der Messung wird die Verbindung zwischen dem Modul 2 und dem Anschlusspin 9 durch den Schalter 7 getrennt und das Modul 2 somit abgehängt. Damit das Modul 2 nicht in einen ungewollten Schaltzustand fällt, steuert die Steuerung 1 dieses Modul 2 zusätzlich an.

[0035] Die Steuerung 1, die schon von Fig. 1 her bekannt ist, steuert nun über den Steuerbus 3 die einzelnen Schalter 4 bis 8 nach dem Multiplexverfahren. Wird keine Messung durchgeführt, dann ist der Schalter 7 geschlossen und die übrigen Schalter sind geöffnet. Der Messzyklus wird durch Anlegen eines bestimmten Kommandowortes über den Steuerbus 3 aktiviert. Die Steuerung 1 verbindet nun genau einen Spannungsteiler  $R_1, R_0$ , beispielsweise den Spannungsteiler  $R_1, R_0$  über die Schalter 4 und 8 mit dem Anschlusspin 9, wobei zuvor der Schalter 7 geöffnet wurde.

[0036] Für die zweite und n-te internen Spannungen  $V_2$  bzw.  $V_n$  werden die Schalter 5 und 8 bzw. 6 und 8 geschlossen. Alle anderen Schalter sind geöffnet.

[0037] In alternativer Ausgestaltung der Erfindung ist vorgesehen, dass die Steuerung 1 als Testlogik bereits auf dem Halbleiterchip integriert ist. Bei den heutigen komplexen integrierten Schaltungen, insbesondere bei Speicherbauteilen ist ohnehin eine Steuerlogik auf dem Halbleiterchip integriert. Diese übernimmt auch die Steuerung der Schalter 4 bis 8. Das hat den Vorteil, dass an den Steuerbus 3 lediglich das Kommandowort einzugeben ist, das dann von der Testlogik ausgelesen und umgesetzt wird.

[0038] Als interne Spannung kann jede Spannung erfasst werden. Vorzugsweise wird bei einem DRAM-Speicherbaustein eine geboostete Wortleitungsspannung über die beschriebene Anordnung über einen Anschlusspin erfasst.

#### Bezugszeichenliste

1 Steuerung	40
2 Modul	
3 Steuerbus	
4 Schalter	45
5 Schalter	
6 Schalter	
7 Schalter	
8 Schalter	
9 Anschlusspin	50
10 Massepin	
11 Messeinrichtung	
12 Messleitungen	
13 Steuerleitung	
14 Halbleiterbauteil (integrierte Schaltung)	55

#### Patentansprüche

1. Verfahren zur Erfassung einer internen Spannung ( $V_i$ ) an einem Halbleiterbauteil, insbesondere einer integrierten Schaltung (14), bei der neben einer Betriebsspannung wenigstens eine weitere, interne Spannung ( $V_i$ ) vorgesehen ist, wobei die interne Spannung ( $V_i$ ) über die vorhandenen, isolierten Anschlusspins (9, 10) nicht direkt messbar ist, dadurch gekennzeichnet, dass die interne Spannung ( $V_i$ ) über einen Spannungsteiler ( $R_1, R_0$ ), der innerhalb der integrierten Schaltung (14) angeordnet ist, geteilt wird, und

dass eine Steuerung (1) einen ausgewählten Anschlusspin (9, 10) für eine vorgegebene Zeitspanne mittels eines oder mehrerer Schalter (4 bis 8) von seiner bisherigen Verbindung mit einem Modul (2) freischaltet und in dieser Zeitspanne die geteilte interne Spannung ( $V_i$ ) auf den freigeschalteten Anschlusspin (9, 10) legt.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die an dem Anschlusspin (9, 10) anliegende, geteilte interne Spannung ( $V_i$ ) mittels einer Messeinrichtung (11) gemessen und das Ergebnis mit dem Teilerverhältnis des zugeordneten Spannungsteilers ( $R_1, R_0$ ) multipliziert wird.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass das Teilerverhältnis des Spannungsteilers ( $R_1, R_0$ ) so ausgebildet ist, dass bei dem entstehenden Messbereich keine Reaktion mit der verbliebenen Restschaltung verursacht wird.

4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass für unterschiedliche interne Spannungen ( $V_i$ ) angepasste Spannungsteiler ( $R_1, R_0$ ) verwendet werden.

5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die einzelnen zu messenden internen Spannungen ( $V_i$ ) nach einem Multiplexverfahren auf den Anschlusspin (9, 10) gelegt werden.

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass für die Ausbildung des Spannungsteilers ( $R_1, R_0$ ) eine frei verfügbare Fläche des Halbleiterchips verwendet wird.

7. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Steuerung (1) das Modul (2) von dem zugeordneten Anschlusspin (9, 10) in seiner Funktion in dem Zustand hält, den es vor dem Trennen besaß oder es in die für die Messung gewünschte Betriebsart schaltet.

8. Halbleiterbauteil, insbesondere eine integrierte Schaltung (14), zur Durchführung des Verfahrens nach einem der vorhergehenden Ansprüche, mit einem Gehäuse, an dem voneinander isolierte Anschlusspins (9, 10) angeordnet sind, mit wenigstens einem Modul (2), dessen Anschlüsse mit den Anschlusspins (9, 10) verbunden sind, und mit wenigstens einer internen Spannungsquelle ( $V_i$ ), dadurch gekennzeichnet, dass die integrierte Schaltung (14) wenigstens einen Spannungsteiler ( $R_1, R_0$ ) aufweist, mit dem die interne Spannung ( $V_i$ ) teilbar ist, und einen oder mehreren Schalter (4 bis 8), mittels denen die geteilte interne Spannung ( $V_i$ ) auf einen ausgewählten Anschlusspin (9, 10) schaltbar ist.

9. Halbleiterbauteil nach Anspruch 8, dadurch gekennzeichnet, dass das Halbleiterbauteil (14) ein Speicherbauteil, vorzugsweise ein DRAM oder ein SRAM ist.

10. Halbleiterbauteil nach Anspruch 8 oder 9, dadurch gekennzeichnet, dass die Schalter (4 bis 8) Transistor-Schalter sind.

11. Halbleiterbauteil nach Anspruch 10, dadurch gekennzeichnet, dass die Schalter (4 bis 8) vom Typ NMOS und/oder PMOS sind.

12. Halbleiterbauteil nach einem der Ansprüche 8 bis 11, dadurch gekennzeichnet, dass bei einem SRAM der freizuschaltende Anschlusspin (9, 10) der DQM-, der CKE- oder der CS-Pin ist.

**- Leerseite -**

FIG 1

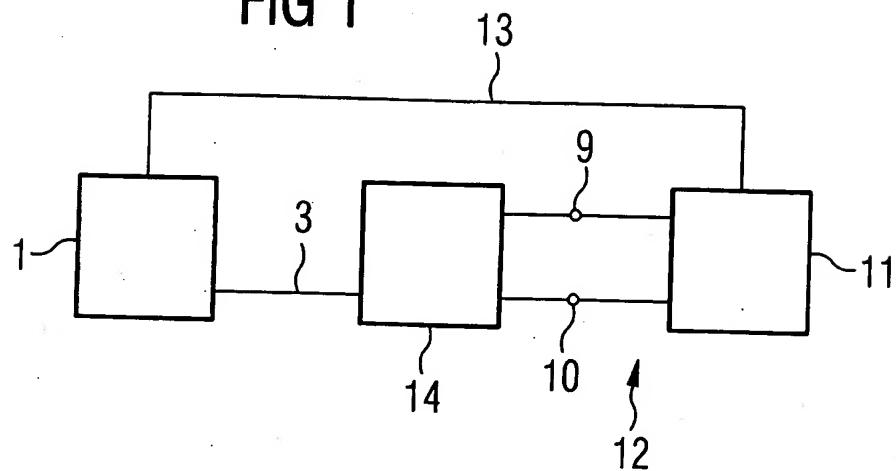


FIG 2

